

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

End of Result Set



Generate Collection

L1: Entry 1 of 1

File: JPAB

Nov 21, 1989

PUB-NO: JP401289124A

DOCUMENT-IDENTIFIER: JP 01289124 A

TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE

PUBN-DATE: November 21, 1989

INVENTOR-INFORMATION:

NAME

COUNTRY

UTAKA, MASATOSHI

MISAWA, HIROSHI

OGAWA, HISANORI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

UTAKA MASATOSHI

N/A

APPL-NO: JP63118890

APPL-DATE: May 16, 1988

US-CL-CURRENT: 438/FOR.165; 438/FOR.222, 438/365, 438/404

INT-CL (IPC): H01L 21/306; H01L 21/20

ABSTRACT:

PURPOSE: To form an excellent single crystal thin film in high controllability on an insulating film for manufacturing a semiconductor device by a method wherein a high concentration impurity layer and a single crystal layer thereon are provided on the part near the surface of a wafer and after bonding the surface onto the surface of another wafer, the whole body is etched away from the rear surface using the high concentration impurity layer as an etching stopper.

CONSTITUTION: A P+ type layer 16 implanted with B ion is provided on the part near the surface (100) of an N type Si substrate 17 and then an epitaxial layer 14 is laminated on an upper single crystal layer 15. A surface oxide film 13 is bonded onto the surface oxide film of another wafer 11. Next, the epitaxial layer 14 is exposed to the surface by successively etching away the whole body from the rear surface using the P+ layer 16 as an etching stopper. In such a constitution, an excellent Si single thin film 21 (14) can be formed on an insulating film 22 (12, 13). When a buried layer 31 for bipolar transistor is buried in this thin film 21 and then one of the insulation-isolated islands is implanted with O ion and encircled with an oxide film 34 to provide a transistor comprising an N-collector 36, a P-base 37 and an N-emitter, an IC bearing excellent characteristics can be manufactured.

COPYRIGHT: (C)1989,JPO&Japio

⑫ 公開特許公報(A)

平1-289124

⑤ Int. Cl.⁴

識別記号

庁内整理番号

④ 公開 平成1年(1989)11月21日

H 01 L 21/306
21/20M-7342-5F
7739-5F

審査請求 未請求 請求項の数 2 (全4頁)

⑭ 発明の名称 半導体装置の製造方法

⑯ 特 願 昭63-118890

⑰ 出 願 昭63(1988)5月16日

⑱ 発 明 者 右 高 正 俊 愛知県名古屋市中区八事石坂661番地 八事住宅22号

⑱ 発 明 者 三 沢 宏 支 愛知県名古屋市中区久方2丁目13番地 豊田工大久方寮
503号

⑱ 発 明 者 小 川 尚 紀 愛知県豊田市トヨタ町530番地 平山豊和寮3324号

⑰ 出 願 人 右 高 正 俊 愛知県名古屋市中区八事石坂661番地 八事住宅22号

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

(1) 基板結晶上の絶縁膜上にシリコン単結晶層を有するSOI構造を製造する際、まずウェハ表面近くの結晶内部に高濃度不純物層を形成した後、ウェハ表面に単結晶層をエピタキシャル成長させ、さらにこのエピタキシャル層表面より埋め込み層用の不純物をドーピングする。次にこのウェハ上に絶縁膜をもつ他のウェハを接合し、先の高濃度不純物層をエッチングストップとしてウェハの裏面からのエッチングを精度よく行ない、単結晶層を薄膜化することを特徴とする半導体装置の製造方法。

(2) エッチングストップ用の高濃度不純物層を、イオン打ち込みによって形成することを特徴とする特許請求の範囲(1)記載の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、新規な半導体装置の製造方法に関し、さらに詳細にはSOI(Silicon-On-Insulator)構造において、絶縁膜上に所望の膜厚の良質な単結晶層を容易に得る方法、およびその単結晶層にバイポーラIC等を製造する方法に関する。

(従来の技術)

バイポーラIC等において各素子間の分離を行うには、通常P形ウェハ上に成長したN型エピタキシャル層の表面を酸化しホトリソグラフィ技術を用いて酸化膜に分離拡散用の穴をあけ、そこを通してP型不純物を拡散してN型の電氣的に分離できる島を形成する。そして、基板および分離拡散領域を最低電位に保持しながら、N形の島を逆バイアスする事によって各々の島を電氣的に分離する。このN型の島にはトランジスタ、ダイオード、および抵抗等の素子が形成されるが、上記素子はPN接合分離されているため、使用する際そこに発生する空乏層のため容量を生じ、周波数特性が悪くなる。また、高温にするとPN接合の逆バイアス電流が増加し、素子相互の絶縁を悪く

するのみならず2つの独立のトランジスタがこのリーク電流のため、おたがいに短絡することもあり、問題となっている。この問題を解決するための手段として、素子間をPN接合でなく、絶縁物を用いて分離する方法があるが、このためには絶縁膜上に単結晶層を形成するSOI構造が不可欠である。

従来より、SOI構造の製造方法としてSO S (Silicon-On-Sapphire)、SIMOX (Separation-by-Implanted-Oxygen)、誘電体分離等の方法があった。しかしSO S、SIMOXでは結晶性のよい単結晶層を得ることが困難であり、また誘電体分離ではウェハを支える多結晶シリコンを成長する際にウェハが大きく反ることがあるという問題のほか、単結晶シリコンの薄膜化を精度よく行なうことが困難である等の問題があった。

そこで最近ではこれらの方法に代わるものとして2枚のシリコンウェハを酸化膜を介して直接接着し、その一方を研磨等により薄膜化することでSOI構造を得る方法が注目されている。この方

のP形シリコンウェハで(100)方位のものの表面近くにホウ素などP型の不純物をイオン打ち込み等によりドーピングし 10^{18}cm^{-3} 以上の高濃度不純物層を形成する。この不純物層のドーピングは、拡散によっても可能であるが、イオン打ち込みにより行なった場合には、高濃度不純物層、および結晶欠陥の多い層はウェハの内部に形成されるため、この後のエピタキシャル成長中のオートドーピングは少なく、しかも表面の結晶性も成長初期にアニールされ良好なものとなるため、よりよい結果が得られる。

続いてこの高濃度不純物層をもつウェハ表面にエピタキシャル層を成長させる。このエピタキシャル層は、のちに素子領域となるが、従来技術により膜厚の制御性は良好である。さらに、前記の理由により、イオン打ち込みで高濃度不純物層が形成されたウェハの場合、高濃度不純物層の影響はエピタキシャル層まで到達しない。即ち、ウェハ上のエピタキシャル層として、所望の膜厚のもので、不純物濃度が低く結晶性が良好なものが容

法によれば、結晶性のよい単結晶層が得られ、ウェハの反りも小さいものが出来るが、単結晶層の薄膜化を精度よく行なうことが困難であることは、依然として問題点として残っている。

(発明が解決しようとする問題点)

本発明は前記従来技術の問題点を背景になされたもので、絶縁膜上に良質のシリコン単結晶層を膜厚の制御性よく得ること、およびその単結晶中にバイポーラIC等を製造することを目的とする。

(問題点を解決するための手段)

本発明は、SOI構造を製造する際、まずウェハ表面近くの結晶内部に高濃度不純物層を、さらにその上に単結晶層を形成し他のウェハと接着を行なった後、この高濃度不純物層をエッチングストップパとしてウェハの裏側からのエッチングを精度よく行ない、単結晶層を薄膜化することの特徴とする半導体装置の製造方法を提供するものである。

本発明によるSOI構造の製造方法では、例えば、まずN形、または不純物濃度 10^{18}cm^{-3} 以下

品に得られる。

また、本発明によるSOI構造をバイポーラICに使用する場合には埋め込み層を形成するためエピタキシャル層成長後、その表面よりアンチモンなどN形の不純物を高濃度にドーピングする。

続いてこのエピタキシャル層表面を酸化する。また、これとは別にSOI構造を形成した際、その土台となる酸化したシリコンウェハを用意する。この酸化膜は、SOI構造の絶縁膜となるとともに、2枚のウェハを接着する際の接着面となる。

続いてこの高濃度不純物層、エピタキシャル層、酸化膜形成済みのウェハと、もう一枚の酸化済みウェハを、それぞれの酸化膜を介して直接接着する。

接着は、まず2枚のウェハを洗浄した後、表面に水やシリコンフィルム等を介して、または直接重ね合わせ、加圧、加熱、静電パルス印加等によって2枚のウェハの密着性を高めた後に、真空中または酸素雰囲気中で900℃以上で30分以上熱処理することにより行なう。このように

して、ウェハの直接接着によりシリコン単結晶—シリコン酸化膜—シリコン単結晶のSOI構造が形成される。

続いてこの酸化膜上の単結晶層をエッチングにより薄膜化する。エッチングで除去する部分は、エピタキシャル層を成長した基板の裏面から高濃度不純物層までである。このとき不純物濃度に対する選択エッチングを行なうことにより、もとのシリコン単結晶と高濃度不純物層のエッチングレートの比を10:1以上に高めることができ、高濃度不純物層がエッチングストップとして働いてエッチングを精度よく行なうことができる。

最後に、高濃度不純物層の除去と表面の鏡面化をかねて表面を研磨する。

以上の方法により、接着したウェハを土台とし、酸化膜上に単結晶層を有するSOI構造が形成される。この方法によれば、結晶性が良好で、所望の不純物濃度をもつ単結晶層が容易に得られる。

この後、該単結晶層の横方向の分離を行ない、抵抗、コンデンサ、ダイオード、トランジスタ等

0℃、60分間加熱処理することで接着した。

続いてこのウェハの裏面の酸化膜を除去し、エチレンジアミン170cc、ピロカテコール30g、水80ccを混合したエッチング液を用いて、ウェハ裏面からのエッチングを行なった。さらにエッチング後このエッチング面を約1~2μm研磨し、鏡面とした。このプロセスにより酸化膜上にエピタキシャル成長による単結晶層が約5μm残り、その膜厚の均一性も良好であった。この単結晶層は不純物濃度 10^{18}cm^{-3} 程度までは、任意の不純物濃度のものができ、結晶性も良好であった。

他の実施例として、本技術を用いてバイポーラICを製造した場合を実施例2で説明する。

(実施例2)

前記実施例1において、エピタキシャル層を成長させる時にホスフィンをもつ程度添加してりんをドーピングし、不純物濃度 $1 \times 10^{18}\text{cm}^{-3}$ のN型エピタキシャル層を約5μm形成した。続いて、このエピタキシャル層表面にアンチモンを含むシリコンフィルムをスピンコーティングにより

のすべてまたは一部を形成する。

以下、実施例をあげて本発明を具体的に説明する。

(実施例1)

ウェハには、比抵抗が約 $200\Omega\text{cm}$ のP型のシリコンウェハで(100)方位の3インチのものをを用いた。このウェハにイオン打ち込み装置でホウ素イオンを100KeV、 $2 \times 10^{15}\text{cm}^{-2}$ で打ち込み、ウェハ表面より約0.3μmの場所に、不純物濃度約 10^{20}cm^{-3} の高濃度不純物層を形成した。

続いてこの表面にエピタキシャル層をドーピングを行なわずに約5μm成長させた。

続いてこのウェハの表面を酸化して、3000Åの酸化膜を形成した。また、これとは別に3インチウェハ上に酸化膜を3000Å成長させたものを用意した。

この2枚のウェハを洗浄した後その表面に水の膜を形成し、加圧して密着させたまま、150℃で1時間放置し、その後、酸素雰囲気中で110

約1500Å塗布し、酸素:窒素=1:12の雰囲気中で1100℃、4時間処理することによって、不純物濃度 10^{18}cm^{-3} 以上の不純物層を約2.5μmの深さまで形成した。その後、前記実施例1記載の方法により酸化膜上に約5μmの単結晶シリコンを有するSOI構造とした。

次にN型エピタキシャル層の表面を熱酸化して酸化膜を形成し、ホトリソグラフィ技術を用いて分離用の穴をあけ、その穴を通してN型エピタキシャル層を前述のエチレンジアミン系のエッチング液により、ウェハ内部の酸化膜まで約5μmエッチングしてV字形の溝を形成することによりN型の単結晶の島を形成した。これにより、埋め込み層用に形成したN形不純物層も各素子領域に分離された。

その後ウェハを熱酸化して、N型の島を酸化膜で被覆する構造とした後、エッチングにより生じた溝を埋めるため、ウェハ全面に多結晶シリコンを約6μm堆積した。この多結晶シリコンの堆積は600~650℃におけるモノシランガスの熱

分解を利用して行なった。

その後、この多結晶シリコンをウェハ表面の酸化膜まで約 $6\mu\text{m}$ 研磨して表面を平坦化した。

その後は、従来行なわれている通常のホトリソグラフィ技術や成膜技術等を用いてトランジスタ、ダイオード等を形成した。また、抵抗素子はN型の島の抵抗体となる領域、およびその周辺部に酸素イオンを 200KeV で 10^{18}cm^{-2} 打ち込み、ウェハ表面から約 $0.5\mu\text{m}$ のところに酸素の高濃度層を形成した。さらに抵抗体の周辺部に 25KeV から 200KeV まで加速電圧を変化させながら $5\times 10^{18}\text{cm}^{-2}$ 酸素イオンの打ち込みを行なってウェハ表面から約 $0.5\mu\text{m}$ の深さまで酸素の高濃度層の壁を形成した。その後、窒素雰囲気中で 1100°C 、60分熱処理することにより、これらの酸素の高濃度層が酸化膜となり、抵抗体の底部およびその周辺部が酸化膜で絶縁された構造となった。

(発明の効果)

本発明により、トランジスタ、ダイオード等と、

シリコン、34は酸素イオン打ち込みにより形成した酸化膜、35は抵抗体、36はNPNトランジスタのコレクタ、37はNPNトランジスタのベース、38はNPNトランジスタのエミッタを示す。

抵抗がすべて酸化膜により分離できたため、それぞれの素子の周波数特性が改善された。

また、周囲温度が上昇した場合においても、素子間のリーク電流の増加が起こらず、良好な特性が得られた。

(図面の簡単な説明)

図1は、接着まで終了した状態のウェハを示す。11は土台となるシリコンウェハ、12、13は酸化膜を示し、この界面が2枚のウェハの接着面である。14はもとのウェハ上に成長したエピタキシャル層、15はもとのウェハ表面の単結晶層、16はイオン打ち込みによる高濃度不純物層、17はもとのシリコンウェハである。

図2は、本発明によるSOIプロセスが完了した状態のウェハを示す。21は単結晶層、22は絶縁膜となる酸化膜、23は土台となるシリコンウェハを示す。

図3は本発明によって製造したバイポーラICの断面図を示す。31はバイポーラトランジスタ用の埋め込み層、32は酸化膜、33は多結晶シ

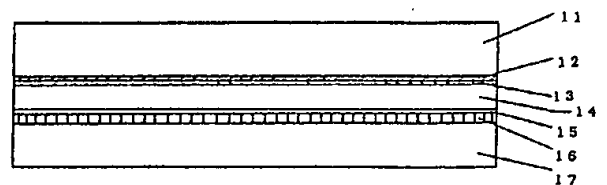


図 1

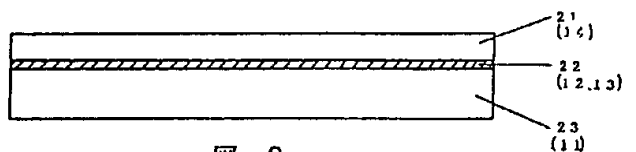


図 2

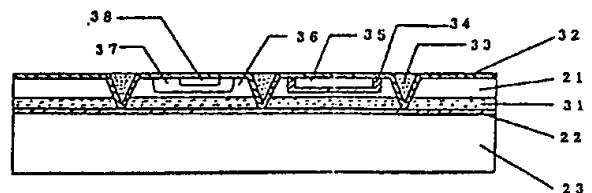


図 3